

DIALOG(R)File 352:DERWENT WPI

(c) 2000 DERWENT INFO LTD. All rts. reserv.

008399494 **Image available**

WPI Acc No: 90-286495/199038

Thin film semiconductor element with improved field effect mobility - has
silicon nitride layer as protection film annealed under atmos. of active
oxygen NoAbstract Dwg 1/5

Patent Assignee: SUMITOMO METAL IND LTD (SUMQ)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 2201967	A	19900810	JP 8921881	A	19890130		199038 B

Priority Applications (No Type Date): JP 8921881 A 19890130

Title Terms: THIN; FILM; SEMICONDUCTOR; ELEMENT; IMPROVE; FIELD; EFFECT;
MOBILE; SILICON; NITRIDE; LAYER; PROTECT; FILM; ANNEAL; ATMOSPHERE;
ACTIVE; OXYGEN; NOABSTRACT

Derwent Class: L03; U12

International Patent Class (Additional): H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

03226467 **Image available**

THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.: 02-201967 [JP 2201967 A]

PUBLISHED: August 10, 1990 (19900810)

INVENTOR(s): MIKI AKIRA

APPLICANT(s): SUMITOMO METAL IND LTD [000211] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 01-021881 [JP 8921881]

FILED: January 30, 1989 (19890130)

INTL CLASS: [5] H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 994, Vol. 14, No. 489, Pg. 34,
October 24, 1990 (19901024)

ABSTRACT

PURPOSE: To increase high speed operation and high reliability by improving electric field effect mobility by permitting active state oxygen to impregnate and diffuse into an SiN layer up to an interface between a semiconductor layer and the SiN layer under the atmosphere of activated oxygen.

CONSTITUTION: An SiN protective film 20 is formed on an amorphous silicon layer 14, and is further annealed under the atmosphere of activated oxygen, i.e., ozone(O(sub 3)). Ozone is generated by irradiation of oxygen with electromagnetic waves, e.g. UV. Accordingly, since the SiN layer has been annealed under the atmosphere of the activated oxygen, the activated oxygen impregnates and diffuses into the SiN layer up to an interface between a semiconductor layer and the SiN layer to prevent the interface levels from being formed owing to the activated oxygen, and fixed electric charges in the SiN layer are reduced. Hereby, there is provided a thin film semiconductor device which has high electric field effect mobility and is excellent in high speed operation and high reliability.

⑤ 日本国特許庁(JP)

⑩ 特許出願公開

② 公開特許公報(A) 平2-201967

④ Int. Cl.³
H 01 L 29/784

識別記号 庁内整理番号

8624-5F H 01 L 29/78 3 1 1 N

③ 公開 平成2年(1990)8月10日

審査請求 未請求 請求項の数 2 (全9頁)

⑥ 発明の名称 薄膜半導体素子

⑦ 特 願 平1-21881

⑧ 出 願 平1(1989)1月30日

⑨ 発 明 者 三 城 明 大阪府大阪市東区北浜5丁目15番地 住友金属工業株式会社内

⑩ 出 願 人 住友金属工業株式会社 大阪府大阪市東区北浜5丁目15番地

⑪ 代 理 人 弁理士 井内 龍二

明 細 書

1. 発明の名称

薄膜半導体素子

2. 特許請求の範囲

(1) ゲート電極、ドレイン電極、ソース電極、絶縁層、半導体層および保護膜を含む薄膜半導体素子であって、前記半導体層上に前記絶縁層あるいは前記保護膜などのいずれかの層として SiN 層が形成され、この SiN 層が活性状態にある酸素の雰囲気下でアニール処理がなされていることを特徴とする薄膜半導体素子。

(2) 活性状態にある酸素が、電磁波の作用により生成されることを特徴とする請求項(1)記載の薄膜半導体素子。

3. 発明の詳細な説明

産業上の利用分野

本発明は薄膜半導体素子、より詳細にはゲート電極、ドレイン電極、ソース電極、絶縁層、アモルファスシリコン(a-Si:H)の半導体層および保護膜を含む薄膜半導体素子であって、例え

ばアクティブマトリクス駆動方式のフラットパネル形ディスプレイなどに応用されるものに関する。

従来の技術

近年高度情報化が進むにつれ、映像表示用のディスプレイの分野においてはより一層の高精細化および高輝度化が望まれている。現在は家庭用やその他ほとんどの分野において CRT (陰極線管) がその主流を占めている。しかし小形、軽量、低消費電力でしかも高画質化が可能なフラットパネル形ディスプレイへの要望が高まってきている。フラットパネル形ディスプレイのうち液晶を用いた LCD は現在もっとも広く用いられ将来性の高いディスプレイである。この LCD の駆動方式として、単純マトリクス駆動方式やアクティブマトリクス駆動方式があり、このうちアクティブマトリクス駆動方式は各画素ごとにスイッチ素子を配設して各画素を独立的に駆動制御するものである。したがって各画素ごとに 100% 近い duty 比で駆動でき、画素のコントラスト比を大

きく取ることが可能である。

スイッチ素子としてアモルファスシリコンを用いた薄膜トランジスタ(TFT)形は大面積化が可能であり、しかも低コストで製作できることから有望視され多くの研究がなされている。このアモルファスシリコンを用いた薄膜トランジスタ(TFT)形ディスプレイの特徴としては大面積化が可能であること、比較的低温プロセス(300℃前後)で製作できることから安価なガラス基板が使用可能であること、連続的な成膜により膜界面の清浄性が保たれることなどが挙げられる。

以上のことから駆動方式としてアクティブマトリクス駆動方式を採用し、アモルファスシリコンを用いた薄膜トランジスタ(TFT)形ディスプレイは今後のニューメディア用のディスプレイ候補としてその発展が期待されている。

次に従来のアモルファスシリコン薄膜半導体素子(TFT)の構造を第5図に示す。第5図(a)は逆スタガー型構造を示すものであり、その構造は、つぎのようなものである。ガラス基板11

ファスシリコン層14の上面には中央部を除いて n^+ アモルファスシリコン層15、ドレイン電極16、ソース電極17が形成されている。中央部には、SiNのゲート絶縁膜13、ゲート電極12が順次積層形成されている。21は各半導体素子を隔離するための素子分離膜であり、SiNにより形成されている。

発明が解決しようとする課題

上記したようなアモルファスシリコン薄膜半導体素子は、各薄膜の形成をプラズマCVD法によって行なっている。しかしながら、プラズマCVD法により薄膜を形成する場合、とくに半導体層のアモルファスシリコン層14上にSiN層を形成する場合、つぎのような不都合があった。なお、上記アモルファスシリコン薄膜半導体素子のSiN層は、第5図(a)の保護膜20、第5図(b)のゲート絶縁膜13および素子分離膜21である。

①プラズマCVD法では下地の薄膜がプラズマによってダメージを受け劣化することがある。す

の上面(同図中上側)にはゲート電極12がパターニングされており、このゲート電極12の上面にはゲート絶縁膜13が積層形成されている。さらにこのゲート絶縁膜13の上面には半導体層としてアモルファスシリコン層14が積層形成され、このアモルファスシリコン層14の上面にはオーミックコンタクト層としての n^+ アモルファスシリコン層15が積層形成されている。この n^+ アモルファスシリコン層15の上面にはさらにドレイン電極16が積層形成され、このドレイン電極16の水平方向に対向してゲート電極12を挟んだ所定箇所にはソース電極17が形成されている。ドレイン電極16とソース電極17はそれぞれCr層18とAl層19の積層体となっている。またドレイン電極16とソース電極17の間には窒化シリコン(SiN)の保護膜20が形成されている。

また、第5図(b)はスタガー型構造を示すものであり、その構造は、ガラス基板11の上面にアモルファスシリコン層14が形成され、アモル

なわら、半導体層のアモルファスシリコン層14の表面はプラズマにより荒らされるためアモルファスシリコン層14と上層のSiN層の間に界面準位が形成される。アモルファスシリコン層14とSiN層との間に界面準位が形成された場合、TFT特性の信頼性を低下させる。上記アモルファスシリコン薄膜半導体素子ではアモルファスシリコン層14と保護膜20との間(第5図(a))、アモルファスシリコン層14とゲート絶縁膜13、素子分離膜21の間(第5図(b))に界面準位が形成されることになる。

②また、SiN層には過剰Si、過剰H、欠乏Nが存在しているため、これら過剰Siなどが組成比のバランスが崩れる原因となり、また、これら過剰Siなどに基づく欠陥準位に起因して固定電荷が発生する。

この固定電荷が保護膜20に存在する場合、膜中固定電荷は通常正電荷であるため、TFT動作時にソース、ドレイン間を流れるキャリア(電子)を引き付けてその定行を妨げるのでリーク電流

を発生させる。

S i N層がゲート絶縁膜13である場合については、はっきりと①②が原因であるとはいえないが①②のいずれかまたは双方が原因となって、つぎのような現象を生じる。すなわち、プラズマCVD法によりアモルファスシリコン層14上にS i N層を形成する場合、(i) S i N層の電位が高くなるためしきい値電圧 V_T のシフトが大きくなり、また、(ii)ゲート電圧のコントロールがむずかしくなる。(ii)については、固定電荷が主に関係すると考えられ、固定電荷は通常正でありゲート電圧も正であるためゲート電圧をかけた場合ソース・ドレイン電流のコントロールがむずかしくなると考えられる。

以上のような現象はT F T特性の向上とくに電界効果移動度の向上の妨げとなり、その結果、高速性、信頼性の高いアモルファスシリコン薄膜半導体素子を得ることができなかった。

そこで、本発明は上記したような問題点に鑑み発明されたもので、薄膜半導体素子において界

体素子(T F T)の構造を第1図に示す。第1図(a)は逆スタガー型構造を示しており、ガラス基板11の上面(第1図中上側)にはゲート電極12がパターンニングされ、このゲート電極12の上面にはゲート絶縁膜13が積層形成されている。さらにこのゲート絶縁膜13の上面には半導体層としてアモルファスシリコン層14が積層形成され、このアモルファスシリコン層14の上面にはオーミックコンタクト層としての n^+ アモルファスシリコン層15が積層形成されている。この n^+ アモルファスシリコン層15の上面にはさらにドレイン電極16が積層形成され、このドレイン電極16の水平方向に対向してゲート電極12を挟んだ所定箇所にはソース電極17が形成されている。ドレイン電極16とソース電極17はそれぞれCr層とAl層の積層体となっている。またドレイン電極16とソース電極17の間には窒化シリコン(S i N)の保護膜20が形成されている。21は素子分離膜である。

また、第1図(b)はスタガー型構造を示すも

面準位が形成されることを阻止し、またS i N層中の固定電荷を減少させ、高い電界効果移動度を有し、高速性、信頼性に優れた薄膜半導体素子を提供することを目的としている。

問題を解決するための手段

上記問題を解決するために本発明は、ゲート電極、ドレイン電極、ソース電極、絶縁層、半導体層および保護膜を含む薄膜半導体素子であって、前記半導体層上に前記絶縁層あるいは前記保護膜などのいずれかの層としてS i N層が形成され、このS i N層が活性状態にある酸素の雰囲気下でアニール処理がなされていることを特徴としている。

また、上記した活性状態酸素が、電磁波の作用により生成されることを特徴としている。

以下、本発明にかかるアモルファスシリコン薄膜半導体素子の構成を詳述する。なお、従来と同一構造の部分については同一の符号を付すこととする。

本発明にかかるアモルファスシリコン薄膜半導

体であり、その構造は、ガラス基板11の上面にアモルファスシリコン層14が形成され、アモルファスシリコン層14の上面には中央部を除いて n^+ アモルファスシリコン層15、ドレイン電極16、ソース電極17が形成されている。中央部には、S i Nのゲート絶縁膜13、ゲート電極12が順次積層形成されている。21は素子分離膜である。

以下、第1図(a)の逆スタガー型構造のアモルファスシリコン薄膜半導体素子について説明する。上記ゲート電極12はCr、Mo、Ta、Al、NiCrまたはこれらの2種以上の積層膜から構成されている。このゲート電極12の厚みは膜材料、目的とするT F Tの構造または配線抵抗などにより決定されるが、本発明では300Å~3000Åが望ましく、より望ましくは500Å~1500Åの範囲である。

ゲート絶縁膜13としては、比抵抗が大きく、したがって絶縁性に優れ、しかも高耐圧性、界面特性に優れた薄膜を形成する必要がある。このた

め、本発明でプラズマCVD法によりSiN、SiO、SiONまたはこれらの2種以上の積層膜を形成している。例えば、SiN膜を形成する場合、シラン系ガスと他のガスとの混合ガス（例えばSiH₄+NH₃、やSiH₄+NH₃+N₂）をプラズマCVD法により分解堆積して形成する。SiN膜を形成する場合、ガラス基板温度がSiN膜の膜特性に大きく影響するため、ガラス基板温度は通常250℃以上が望ましく、より望ましくは300℃以上である。ゲート絶縁膜13の膜厚はTFT特性の違いによってそれぞれ異なるが、通常500Å～5000Åが望ましく、より望ましくは1000Å～3000Åの範囲である。

アモルファスシリコン層14はプラズマCVD法によりシラン系ガスを用いて容易に形成される。アモルファスシリコン層14の膜厚はアモルファスシリコン薄膜半導体素子のオフ電流およびスイッチング特性に影響するため、通常500Å～5000Åが望ましく、より望ましくは500Å～2000Åの範囲である。また、成膜時のガ

ラス基板温度は、良好な膜特性を得るためには、100℃～400℃が望ましく、より望ましくは200℃～300℃の範囲である。

n⁺アモルファスシリコン層15はキャリアである電子の走行を容易にし、かつ正孔の流れを阻止する目的で形成されるものであり、主としてシラン系のガス例えばSiH₄とPH₃との混合ガスにより形成される。n⁺アモルファスシリコン層15の電気的特性としては、暗比抵抗が10⁴Ω・cm～10Ω・cmであることが望ましく、より望ましくは10⁴Ω・cm～10³Ω・cmの範囲である。また、活性化エネルギーとしては0.4eV～0.1eVであることが望ましく、より望ましくは0.3eV～0.2eVの範囲である。n⁺アモルファスシリコン層15の膜厚は膜のはがれ防止などのため適切に設定する必要があるが、通常100Å～1000Åであることが望ましく、より望ましくは200Å～500Åの範囲である。

保護膜20は、チャンネル部の湿気や汚染によるアモルファスシリコン薄膜半導体素子の劣化を

防止するために形成される。通常SiNが用いられ、SiN層はプラズマCVD法により形成される。保護膜20のSiN層はゲート絶縁膜13と同様の方法で作成され、膜厚は500Å～5000Åが望ましく、より望ましくは1000Å～3000Åの範囲である。

さらに、保護膜20を活性状態酸素すなわちオゾン（O₃）雰囲気下でアニール処理する。オゾンは、酸素に電磁波、具体的には紫外線（UV）を照射することによって発生する。UV照射アニール処理により保護膜20を形成する場合、アニール温度は、成膜時のガラス基板温度を越えない範囲でできるだけ高くすることが望ましい。例えば、SiN層をガラス基板温度250℃で成膜した場合、UVアニール処理をアニール温度200℃で1時間行なえば、良好な特性が得られる。

ドレイン電極16、ソース電極17は、通常高融点金属とAlとの積層構造とすることにより特性の安定化が図られている。例えば、Cr/Al、Mo/Al、Ti/Alなどが用いられてい

る。高融点金属の膜厚としては100Å～1000Åが望ましく、より望ましくは100Å～500Åの範囲である。また、Alの膜厚は2000Å～2μmが望ましく、より望ましくは5000Å～1μmの範囲である。

UVアニール処理を行なった場合のTFT特性の測定結果を第2図に示す。第2図は、SiNを絶縁膜とするMISダイオードを用いたC-V特性から、フラットバンド電圧V_{fb}とSiN層中の固定電荷密度Q_{ss}とをアニール時間に対してプロットしたものである。ここでは、アニール温度を200℃とし、UV照射には100Wのランプが用いられている。第2図からアニール時間が長くなるにつれて、フラットバンド電圧V_{fb}が増加し、固定電荷密度Q_{ss}が減少するのが認められ、TFT特性が改善されることがわかる。

このUV照射アニール処理を行なった試料をSIMSにより深さ方向に分析した結果が、第3図である。第3図から、UV照射アニール処理を行なった試料には、アモルファスシリコン層14の

SiとSiN層間の界面およびSiN層の表面に酸素が多く存在していることがわかる。

さらに、第4図はSiN層のフーリエ変換赤外吸収スペクトル (FT-IRスペクトル) を示しており、アニール時間ごとに吸光度の対数を赤外スペクトルの波数に対してプロットしている。この第4図から、UV照射アニール処理を行なったSiN層 (同図 (a)) は、UV照射アニール処理を行なわなかったSiN層 (同図 (b)) にくらべ、 2000 cm^{-1} ~ 2200 cm^{-1} 付近のSi-HおよびSi-H。振動に基づく吸収ピークが消失しており、H原子が減少していることがわかる。

作用

上記した構成によれば、第2図~第4図のTFT特性に関する項目の測定結果からみて、SiN層が活性状態にある酸素の雰囲気下でアニール処理がされているので、活性状態酸素がSiN層中に浸透拡散して半導体層とSiN層の界面まで達し、この活性状態酸素により界面準位の形成が阻

止され、また、SiN層中の固定電荷が減少することがわかる。

活性状態酸素が浸透拡散したSiN層および界面の状態を測定することはできないが、SiN層については、SiN層中の過剰SiがO原子と結合したり過剰Hと置換することによりオキシナイトライド膜 (SiON) 化が進んでいることが考えられる。半導体層とSiN層の界面については、第3図におけるO原子のピークが示すように、O原子が半導体層表面のSi原子と置換して多量に存在しており、このO原子が半導体層中のSi原子と結合して酸化膜が形成され、界面特性の安定化が図られていることが考えられる。

実施例

以下、本発明の実施例を図面に基づいて説明する。

第1実施例

この実施例は逆スタガー型構造のアモルファスシリコン薄膜半導体素子についてのものであり、第1図 (a) に基づいてアモルファスシリコン薄

膜半導体素子の製造方法を説明する。

①ガラス基板11として例えば直径5インチ角のものをを用い、このガラス基板11を十分に洗浄した後Crを1000Å蒸着させ、さらにフォトリソ加工によりCrのゲート電極12をパターン形成した。なお、TFTのチャンネル長を $10\mu\text{m}$ 、チャンネル幅を $200\mu\text{m}$ とした。

②つぎに、ゲート電極12が形成されたガラス基板11 (以下試料という) をプラズマCVD装置 (図示せず) 内にセットし、真空容器内を排気するとともに試料を加熱し、加熱温度を 300°C に設定した。真空容器内の真空度が 1×10^{-6} Torr以下となったところで油拡散ポンプ (DP) が接続されているバルブを閉鎖し、排気系を油拡散ポンプからメカニカルブーストポンプ (MBP) に切り替え、マスフローコントローラ (MFC) を介して真空容器内に 10.0% SiH₄、を8 SCCM、NH₃、を40 SCCM、N₂、を80 SCCM導入し、真空容器内の圧力が0.5 Torrとなるように調節した。

圧力が一定となったところで13.56 MHz. のRFパワーを50Wに維持して20分間放電し、ガラス基板11およびゲート電極12上にSiNのゲート絶縁膜13を積層させた。このようにして形成されたゲート絶縁膜13は、屈折率が1.82、光学的バンドギャップ E_g が5.1 eV、比誘電率が6.1、膜厚が3000Åであった。

③つぎに、同じプラズマCVD装置内で、ゲート絶縁膜13上に半導体層のアモルファスシリコン層14を1000Å形成した。

アモルファスシリコン層14の形成条件は、 100% SiH₄、を10 SCCM、反応圧力0.2 TorrでRFパワー100Wとした。成膜時間は8分であった。アモルファスシリコン層14は、電気的特性として ρ_d が $2\times 10^{10}\Omega\cdot\text{cm}$ 、活性化エネルギー E_a が0.7 eV、光学的特性として E_g が1.75 eVであった。

④つぎに、同じプラズマCVD装置内で、アモルファスシリコン層14の上にSiNの保護膜

20を1500Å形成した。保護膜20の形成条件は、ゲート絶縁膜13と同じで成膜時間は10分であった。

⑤保護膜20を形成した後、フォトリソ加工によりソース、ドレイン部の保護膜20をエッチングし、レジストを残したままプラズマCVD装置に試料を入れ、 n^+ アモルファスシリコン層15を形成した。

⑥ n^+ アモルファスシリコン層15の形成条件は、ガラス基板温度が120℃で、100% SiH₄を10SCCM、1% H₂、ベースPH₃を10SCCM流し、反応圧力0.2 TorrでRFパワーを100W印加した。成膜時間は4分で、膜厚は500Åであった。この n^+ アモルファスシリコン層15の特性は別途行なった実験から、 ρ_d が500Ω・cm、活性化エネルギー E_a が0.2 eV、 E_g が1.7 eVであった。

⑦つぎに、真空蒸着装置内に試料を入れ、Crを500Å蒸着させた。その後、リフトオフ法によりソース、ドレイン部以外のレジストを除去し

た。最後に、真空蒸着装置によりAlを全面に1μm堆積した後、フォトリソによりAl電極を形成した。

アモルファスシリコン薄膜半導体素子を作成した後、UV照射アニール処理を行なった。処理条件は、アニール温度を200℃とし、100Wのうずまき型低圧水銀ランプを試料から20mmの高さにセットして、1時間紫外線を照射した。なおアニールは大気中で行なった。

このようにして作成されたアモルファスシリコン薄膜半導体素子のTFET特性を測定したところ以下の様であった。

電界効果移動度 μ : 0.8cm²/V・sec

しきい値 V_T : 0.1V

ON電流 I_{on} : $V_g = 15V$, $V_d = 10V$
のとき $2 \times 10^{-8}A$

OFF電流 I_{off} : $V_g = -10V$, $V_d = 10V$
のとき $8 \times 10^{-12}A$

このように、良好なTFET特性が得られた。

比較例1

実施例1においてUV照射アニール処理を行わない以外、すべて実施例1と同じ条件でアモルファスシリコン薄膜半導体素子を作成した。TFET特性の測定結果を以下に示す。

電界効果移動度 μ : 0.4cm²/V・sec

しきい値 V_T : 1.3V

ON電流 I_{on} : $9 \times 10^{-9}A$

OFF電流 I_{off} : $7 \times 10^{-11}A$

このようにUV照射アニール処理を行なわなかったアモルファスシリコン薄膜半導体素子は、実施例1と比較して電界効果移動度、しきい値電圧 V_T 、ON電流などのTFET特性の低下が認められた。

実施例2

この実施例はスタガー型構造のアモルファスシリコンアモルファスシリコン薄膜半導体素子についてのものであり、第1図(b)に基づいてアモルファスシリコン薄膜半導体素子の製造方法を説明する。

ガラス基板11上に実施例1と同じ条件で、ア

モルファスシリコン層14を1000Å、SiNのゲート絶縁膜13を3000Å、プラズマCVD法により形成した。この後、UV照射アニール処理を実施例1と同じ条件で行なった。つぎに、フォトリソによりソース、ドレイン部のSiNをエッチングで除去し、レジストを残したまま n^+ アモルファスシリコン層15を実施例1と同じ条件で形成した。つぎに、真空蒸着によりCrを500Å形成した後、リフトオフ法によりレジストを除去した。さらに、真空蒸着により試料全面にAlを1μm形成した後、フォトリソによりゲート電極12、ドレイン電極16、ソース電極17を形成した。なお、チャンネル長は10μm、チャンネル幅は200μmとした。

このようにして作成されたアモルファスシリコン薄膜半導体素子のTFET特性を測定したところ以下のようであった。

電界効果移動度 μ : 0.4cm²/V・sec

しきい値 V_T : 1.0V

ON電流 I_{on} : $9 \times 10^{-8} A$ OFF電流 I_{off} : $8 \times 10^{-10} A$

このように、スタガー型構造のアモルファスシリコン薄膜半導体素子においても良好なTFT特性が得られた。

比較例2

実施例2においてUV照射下でのアニール処理を行なわない以外、すべて実施例2と同じ条件でTFTを作成した。TFT特性の測定結果を以下に示す。

電界効果移動度 μ : $0.2 cm^2/V \cdot sec$ しきい値 V_T : 2.5VON電流 I_{on} : $7 \times 10^{-8} A$ OFF電流 I_{off} : $8 \times 10^{-10} A$

このように、UV照射下でのアニール処理を行なわなかったスタガー型構造アモルファスシリコン薄膜半導体素子についても、実施例2と比較してTFT特性の低下が認められた。

発明の効果

以上の説明により明らかなように、本発明にか

かるアモルファスシリコン薄膜半導体素子は、半導体層上に絶縁層あるいは保護膜などとしてSiN層が形成され、このSiN層が活性状態にある酸素の雰囲気下でアニール処理がなされているので、活性状態酸素がSiN層に浸透拡散して半導体層とSiN層の界面まで達し、この活性状態酸素の存在により、プラズマダメージに起因して発生する界面準位の形成が阻止され、また、SiN層中の固定電荷が減少する。SiN層が保護膜である場合、界面準位形成の阻止によりTFT特性の信頼性が向上し、また、固定電荷の減少によりリーク電流の発生が抑制され、とくに電界効果移動度の向上を図ることができる。また、SiN層がゲート絶縁膜である場合、しきい値電圧 V_T のシフトおよびゲート電圧のコントロールが向上する。以上のことから、TFT特性とくに電界効果移動度が向上し、高速性、信頼性の高いアモルファスシリコン薄膜半導体素子を得ることができる。

4. 図面の簡単な説明

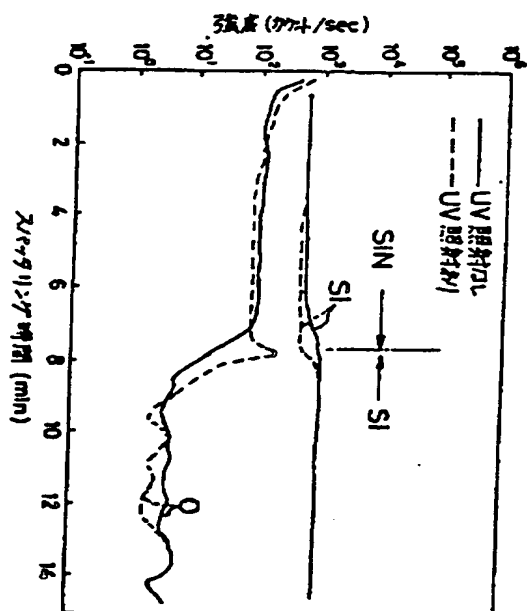
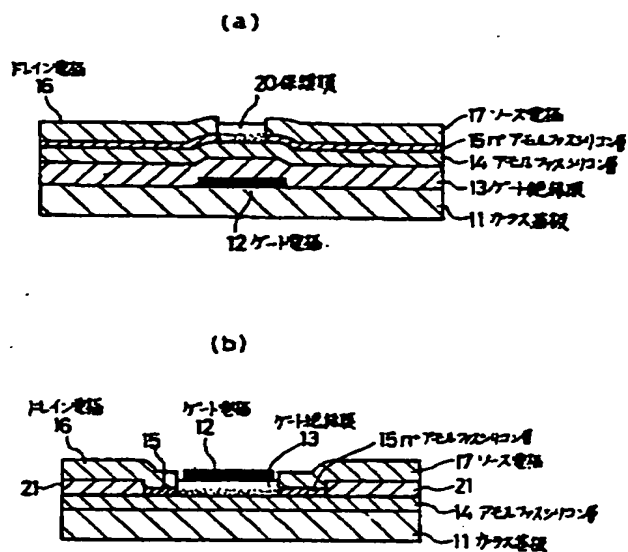
第1図(a)、(b)は本発明にかかるアモルファスシリコン薄膜半導体素子の一実施例を示す断面図であって、(a)は逆スタガー型構造であり、(b)はスタガー型構造であり、第2図はUV照射アニール処理を行なったアモルファスシリコン薄膜半導体素子についてフラットバンド電圧 V_{fb} と SiN 中の固定電荷密度 Q_{fix} とをアニール時間に対してプロットしたグラフであり、第3図はUV照射アニール処理を行なった試料をSIMSにより深さ方向に分析したグラフであり、第4図(a)、(b)はSiN層のFT-IRスペクトルを示し、アニール時間ごとに吸光度の対数を波数に対してプロットしたグラフであり、(a)はUV照射アニール処理を行なったSiN層であり、(b)はUV照射アニール処理を行なわなかったSiN層であり、第5図(a)、(b)は従来のアモルファスシリコン薄膜半導体素子を示す断面図であって、(a)は逆スタガー型構造であり、(b)はスタガー型構造である。

11-ガラス基板、12-ゲート電極、13-ゲート絶縁膜(絶縁層)、14-アモルファスシリコン層(半導体層)、15-n⁺アモルファスシリコン層(オーミックコンタクト層)、16-ドレイン電極、17-ソース電極、20-保護膜

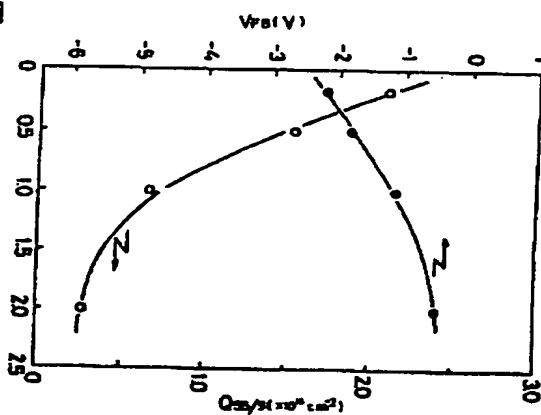
特許出願人 : 住友金属工業株式会社

代理人 : 弁護士 井内 龍二

第 1 図

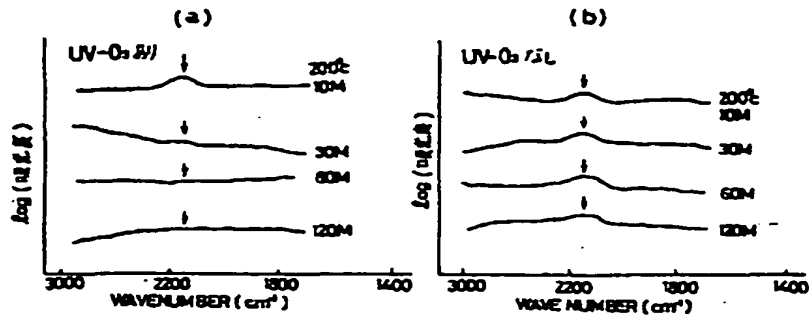


第 3 図



第 2 図

第 4 図



第 5 図

